

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-268410

(43)公開日 平成5年(1993)10月15日

(51)Int.Cl.⁵

H04N 1/028

識別記号

庁内整理番号

F I

技術表示箇所

5/335

A 9070-5C

C 9070-5C

F

U

審査請求 未請求 請求項の数2(全7頁)

(21)出願番号

特願平4-93385

(22)出願日

平成4年(1992)3月19日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 真城 康人

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

(72)発明者 佐藤 真木

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

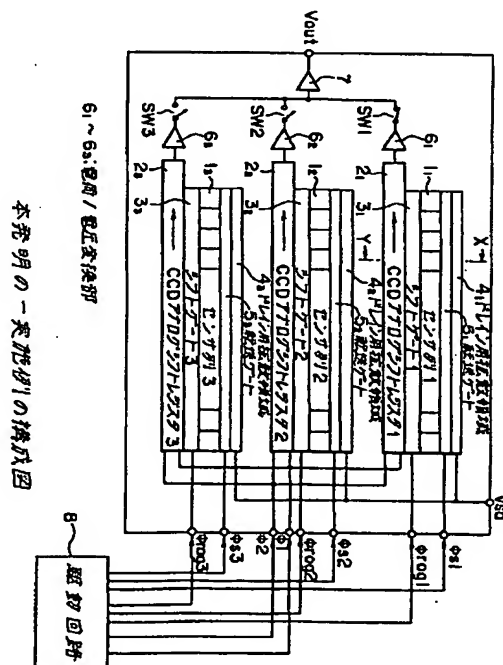
(74)代理人 弁理士 船橋 国則

(54)【発明の名称】 リニアセンサ

(57)【要約】

【目的】 出力信号を連続的に読みだそうとするとき、各ライン間の無効信号期間を最小にできるとともに、最短蓄積時間もセンサ部からの信号電荷の読出し時間と同程度まで小さくできるリニアセンサを提供する。

【構成】 センサ列1、～1、に対しHCCD2、～2、の反対側にドレイン用拡散領域4、～4、を、さらにセンサ列1、～1、とドレイン用拡散領域4、～4、の間に転送ゲート5、～5、をそれぞれ設け、センサ列1、～1、の各画素に蓄積された不要電荷をドレイン用拡散領域4、～4、にそれぞれ掃き捨てる横型シャッター構造を各ライン毎に採るとともに、シフトゲート3、～3、及び転送ゲート5、～5、の各駆動タイミングを各ライン間で独立に設定可能とし、露出時間を各ライン間で任意に設定できるようにする。



【特許請求の範囲】

【請求項1】 水平方向に1次元に配列された所定数の画素からなる複数のセンサ列と、
前記複数のセンサ列に対応して設けられて信号電荷を水平方向に転送する複数の水平転送レジスタと、
前記複数のセンサ列の各画素に蓄積された信号電荷を前記複数の水平転送レジスタにそれぞれ転送する複数のシフトゲートと、
前記複数のセンサ列に対し前記複数の水平転送レジスタと反対側に設けられた複数のドレイン用拡散領域と、
前記複数のセンサ列の各画素に蓄積された不要電荷を前記複数のドレイン用拡散領域にそれぞれ掃き捨てる複数の転送ゲートとからなる複数ラインの構造を同一基板上に有するとともに、
前記シフトゲート及び前記転送ゲートの各駆動タイミングを複数ライン間で独立に設定可能な駆動回路を備えたことを特徴とするリニアセンサ。

【請求項2】 前記複数ラインは3ラインであり、
前記3ラインの各センサ列は3原色の各色にそれぞれ対応していることを特徴とする請求項1記載のリニアセンサ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はリニアセンサに関し、特に、いわゆる横型シャッター機能を有するリニアセンサに関する。

【0002】

【従来の技術】リニアセンサとしては、カラーイメージスキャナやデジタルカラー複写機等の画像情報入力部で用いられている複数ライン、例えば3ラインをオンチップしたリニアセンサが周知である。この3ラインのリニアセンサでは、各ラインの出力信号を1箇所から導出した方が、信号処理系を簡略化する上で、各ライン毎に3箇所から出力信号を導出するよりも有利である。

【0003】図5に、3ラインの各出力信号を1箇所から導出するようにしたリニアセンサの従来例を示す。同図において、3本のアナログシフトレジスタ2₁、～2₃の出力側には、各ライン毎に切替えスイッチSW1～SW3が配置されており、これら切替えスイッチSW1～SW3が順番に切替え制御されることにより、各ラインの信号が順次導出されるようになっている。図6に、2相の転送クロックφ1、φ2、各シフトゲート3₁、～3₃の読出しパルスφrog1～φrog3及び出力信号Voutのタイミング関係を示す。なお、期間t_{in}は、各ライン毎の信号電荷の蓄積時間である。

【0004】

【発明が解決しようとする課題】上述した従来の3ラインのリニアセンサでは、アナログシフトレジスタ2₁、～2₃の転送クロックφ1、φ2を共通にした場合は、出力信号を連続的に読みだそうとすると、センサ部に蓄

積された不要電荷を掃き捨てるには、アナログシフトレジスタ2₁、～2₃を使わざるをえないため、光信号電荷の蓄積時間を短くしようとすると、転送クロックφ1、φ2による高速転送が必要になる。そうすると、その不要電荷の掃き捨て期間は信号出力ができず、ライン間の無効信号期間となり、この無効信号期間に光信号電荷の蓄積時間と不要電荷の転送時間が必要であった。換言すれば、その光信号電荷蓄積時間t_{in}と不要電荷転送時間が、各ライン間の無効信号期間になってしまう。

【0005】また、転送クロックφ1、φ2の高速転送時のクロック周波数により、最短蓄積時間が決まってしまうため、センサ列1₁、～1₃の画素数が多いと最短蓄積時間が大きくなり、広範囲の光量に対応できなくなる。例えば、各ラインのセンサ列1₁、～1₃が1000画素からなるリニアセンサの場合、高速転送を10MHzで行ったとしても、不要電荷転送に100μsecの転送時間が必要になり、最短蓄積時間も100μsec程度と大きくなる。

【0006】本発明は、上述した点に鑑みてなされたものであり、出力信号を連続的に読みだそうとすると、各ライン間の無効信号期間を最小にできるとともに、最短蓄積時間もセンサ部からの信号電荷の読出し時間と同程度まで小さくできるリニアセンサを提供することを目的とする。

【0007】

【課題を解決するための手段】本発明によるリニアセンサは、水平方向に1次元に配列された所定数の画素からなる複数のセンサ列と、この複数のセンサ列に対応して設けられて信号電荷を水平方向に転送する複数の水平転送レジスタと、複数のセンサ列の各画素に蓄積された信号電荷を複数の水平転送レジスタにそれぞれ転送する複数のシフトゲートと、複数のセンサ列に対し複数の水平転送レジスタと反対側に設けられた複数のドレイン用拡散領域と、複数のセンサ列の各画素に蓄積された不要電荷を複数のドレイン用拡散領域にそれぞれ掃き捨てる複数の転送ゲートとからなる複数ラインの構造を同一基板上に有するとともに、シフトゲート及び転送ゲートの各駆動タイミングを複数ライン間で独立に設定可能な駆動回路を備えた構成となっている。

【0008】

【作用】複数ライン分を同一基板上に有し、各ラインの水平転送レジスタを全ラインとも共通駆動とし、その基板からの最終出力を1箇所から導出する構造のリニアセンサにおいて、いわゆる横型シャッター構造を各ライン毎に設けることにより、各ライン間の無効信号期間を最小することができ、さらに最短蓄積時間もセンサ部からの信号電荷の読出し時間で決まるため小さくできる。また、各ラインのシフトゲート及び転送ゲートの各駆動タイミングを複数ライン間で独立に設定することにより、露出時間（光信号電荷の蓄積時間）を各ライン毎に設定

することができるとともに、3ラインのリニアセンサの場合は、各ラインの各々を三原色(R, G, B)の各色に対応させることで、R, G, Bの各フィルタの感度差を補正できる。

【0009】

【実施例】以下、本発明の実施例を図面に基づいて詳細に説明する。図1は、本発明の一実施例を示す構成図であり、カラーイメージスキャナやデジタルカラー複写機等の画像情報入力部に用いられる3ラインのリニアセンサに適用した場合を示す。図において、水平方向(H方向)に1次元に配列された所定数の画素からなり、垂直方向(V方向)に3ライン分だけ並べられたセンサ列1、～1、と、信号電荷をH方向に転送するCCD(Charge Coupled Device)からなるアナログシフトレジスタ(以下、HCCDと称する)2、～2、と、センサ列1、～1、の各画素に蓄積された信号電荷をHCCD2、～2、にそれぞれ転送するシフトゲート3、～3、とにより、3ラインのリニアセンサの基本構造が構成されている。

【0010】本発明においては、この基本構造に加えて、センサ列1、～1、に対しHCCD2、～2、の反対側にドレイン用拡散領域4、～4、が設けられ、さらにセンサ列1、～1、とドレイン用拡散領域4、～4、との間に、センサ列1、～1、の各画素に蓄積された不要電荷をドレイン用拡散領域4、～4、にそれぞれ掃き捨てる転送ゲート5、～5、が設けられている。以上の構成により、本発明によるリニアセンサは、横型シャッター機能付きリニアセンサを3ライン分同一基板上に有する構造となっている。

【0011】HCCD2、～2、においてそれぞれ転送された信号電荷は、HCCD2、～2、の出力側に設けられた例えばフローティング・ディフュージョン・アンプ構成の電荷/電圧変換部6、～6、によって電圧に変換(あるいは、リセット)される。各ラインの出力信号は、切替えスイッチSW1～SW3のスイッチング制御によって各ライン毎に連続的に読み出され、アンプ7を介して1箇所から信号出力Voutとして導出される。

【0012】HCCD2、～2、シフトゲート3、～3、及び転送ゲート5、～5、を駆動するために、タイミングジェネレータ(図示せず)を含む駆動回路8が設けられている。この駆動回路8は、3ラインのHCCD2、～2、に対しては全ラインとも共通に複数相(本例では、2相)の転送クロック ϕ_1 、 ϕ_2 を、3ラインのシフトゲート3、～3、に対しては読出しゲートパルス ϕ_{roq1} ～ ϕ_{roq3} を、3ラインの転送ゲート5、～5、に対しては転送ゲートパルス ϕ_{s1} ～ ϕ_{s3} をそれぞれ供給する。また、ドレイン用拡散領域4、～4、には、DCバイアスVsdが印加されている。

【0013】図1におけるX-Y矢視断面を図2に示す。本例では、N型シリコン基板11及びPウェル12

の構造を採っており、センサ部13は感度の向上と暗電流の低減を図るため、NPフォトダイオードにP⁺型領域による正孔蓄積構造を有している。このセンサ部13に隣接してN⁺型領域からなるシフトゲート3、が形成され、その上方には、読出しゲートパルス ϕ_{roq1} が印加されるゲート電極14が絶縁膜(図示せず)を介して配されている。また、シフトゲート3、隣接してN型領域からなるHCCD2、が形成され、その上方には、転送ゲートパルス ϕ_{s1} が印加される転送電極15が絶縁膜を介して配されている。

【0014】一方、センサ部13に対し、シフトゲート3、と反対側にはN⁺型領域からなる転送ゲート5、が形成され、その上方には、転送ゲートパルス ϕ_{s1} が印加されるゲート電極16が絶縁膜を介して配されている。さらに、この転送ゲート5、には、N⁺領域からなるドレイン用拡散領域4、が形成されており、このドレイン用拡散領域4、には、DCバイアスVsdが印加されている。

【0015】次に、上記構成の3ラインのリニアセンサの動作につき、図3のポテンシャル図及び図4のタイミングチャートを参照しつつ説明する。なお、図3のポテンシャル図は、図4のタイミングチャートの時刻 t_1 、 t_2 での図2の断面構造に対応したポテンシャルを示している。まず、時刻 t_1 で不要電荷を掃き捨てるために、転送ゲートパルス ϕ_{s1} が発生し、転送ゲート5、の電位が高レベルになると、転送ゲート5、下のポテンシャルが図3に実線で示す如く深くなるため、センサ部13に蓄積された電荷は、図3に実線で示す如くドレイン用拡散領域4、へ転送される。

【0016】次に、時刻 t_2 になると、転送ゲート5、下のポテンシャルが図3に点線で示す如く浅くなる一方、読出しゲートパルス ϕ_{roq1} が発生し、シフトゲート3、の電位が高くなり、シフトゲート3、下のポテンシャルが図3に点線で示す如く深くなるため、センサ部13に蓄積された光信号電荷は、図3に点線で示す如くHCCD2、に転送される。

【0017】ここで、光信号電荷の蓄積時間 t_{int} は、転送クロック ϕ_1 、 ϕ_2 の周波数や各ラインの画素数に依存せず、転送ゲートパルス ϕ_{s1} の立下がりから読出しゲートパルス ϕ_{roq1} の立下がりまでの時間になる。また、最短蓄積時間に関しては、読出しゲートパルス ϕ_{roq1} のパルス幅、即ちセンサ部13からの光信号電荷の読出し時間と同程度まで小さくできる。

【0018】上述したように、各ライン毎に横型シャッター機能を持たせたことにより、各ラインの出力信号を連続して読みだそうとするとき、各ライン毎にシャッター機能によって不要電荷を掃き捨てることができるため、従来のような高速転送クロックが不要になるとともに、図4の出力Voutの波形から明かなように、各ライン間の無効信号期間をほぼ0にすることが可能となる。ま

* いて、横型シャッター構造を各ライン毎に設けるように構成したことにより、センサ部に蓄積された不要電荷を掃き捨てるのに水平転送レジスタを使う必要がないため、各ライン間の無効信号期間を最小することができる。とともに、最短蓄積時間もセンサ部からの信号電荷の読出し時間と同程度まで小さくできる効果がある。

【0023】さらには、各ラインのシフトゲート及び転送ゲートの各駆動タイミングを複数ライン間で独立に設定するようにしたので、露出時間を各ライン毎に設定することができ、またこれに伴い3ラインのリニアセンサの場合にあっては、各ラインの各々をR、G、Bの各色に対応させることで、各フィルタの感度差を補正できる効果もある。

【図面の簡単な説明】

【図2】図1におけるX-Y矢視断面図である。

20 【図4】本発明の動作説明のためのタイミングチャートである。

【図6】従来例の動作説明のためのタイミングチャートである。

1, ~ 1, センサ列

3、～3、 シフトゲート

4₁ ~ 4₃ ドレイン用拡散領域

5₁ ~ 5₃ 転送ゲート

6 電荷／電圧変換部

8 驅動回路

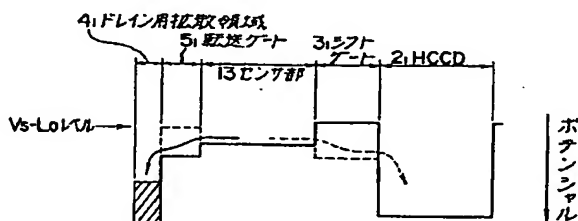
1.1 N型シリコン基板

13 センサ部

15 転送電極

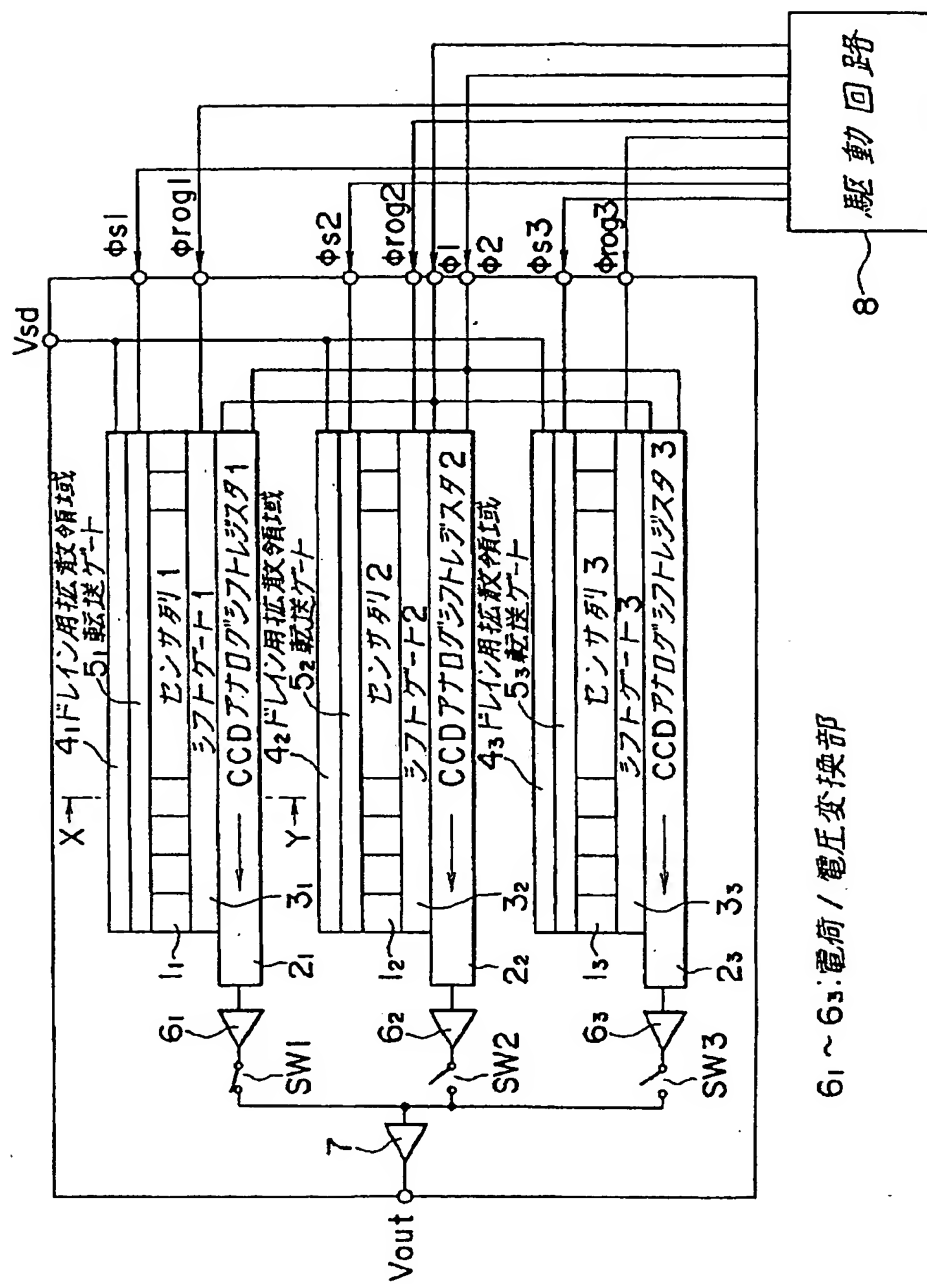
【発明の効果】以上説明したように、本発明によれば、複数ライン分を同一基板上に有し、各ラインの水平転送レジスタを全ラインとも共通駆動とし、その基板からの最終出力を1箇所から導出する構造のリニアセンサにお*

【圖3】



ポテンシャル図

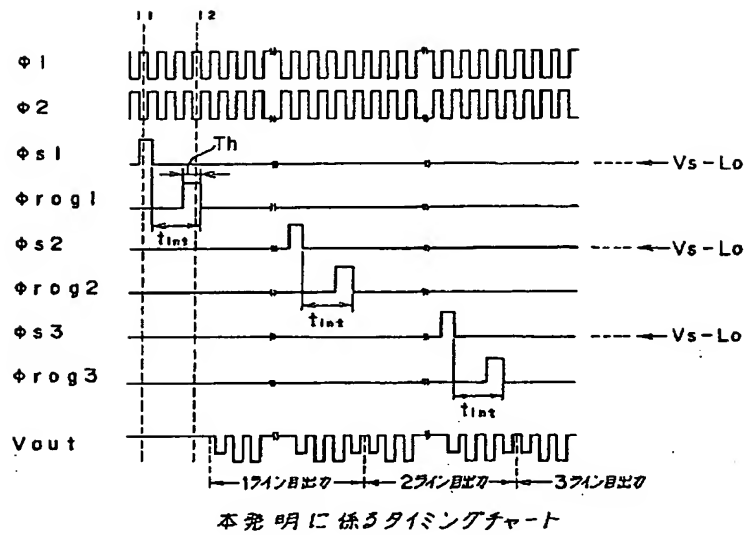
駢動回路



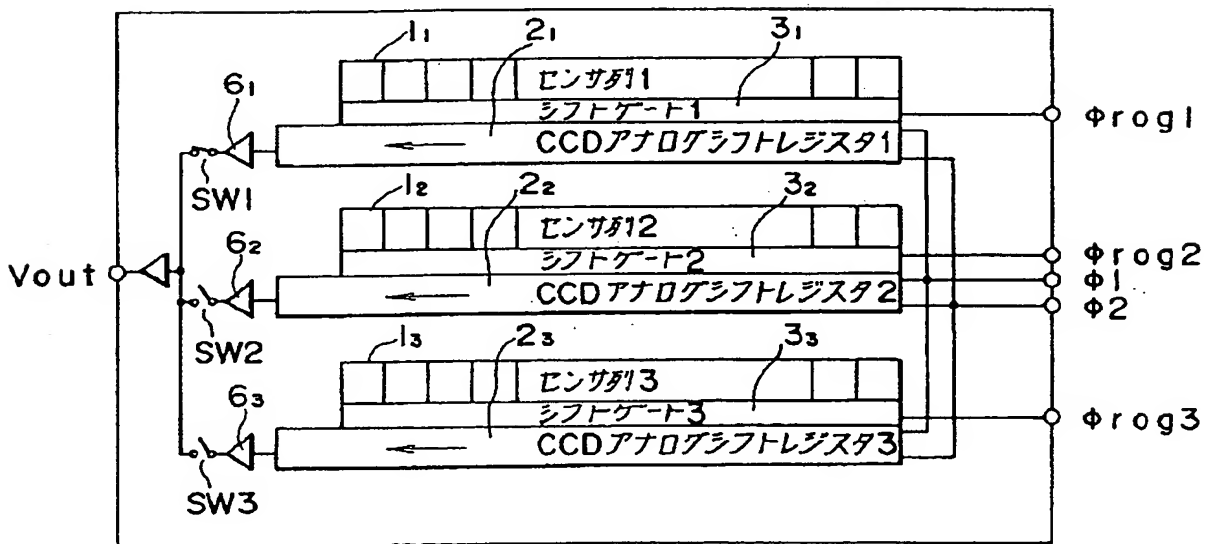
61~63:電荷/電圧変換部

本発明の一実施例の構成図

【図4】

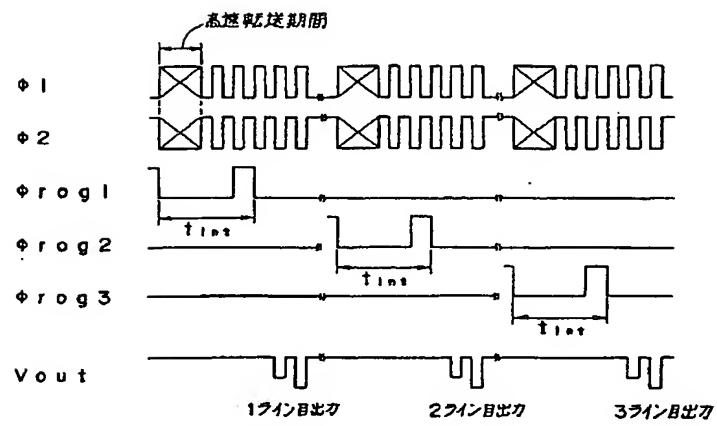


【図5】



従来例を示す構成図

【図6】



従来例に係るタイミングチャート

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第7部門第3区分
 【発行日】平成11年(1999)11月30日

【公開番号】特開平5-268410
 【公開日】平成5年(1993)10月15日
 【年通号数】公開特許公報5-2685
 【出願番号】特願平4-93385
 【国際特許分類第6版】
 H04N 1/028

5/335

【F1】

H04N 1/028 A
 C
 5/335 F
 U

【手続補正書】

【提出日】平成11年3月18日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正内容】

【発明の名称】 リニアセンサ及びその駆動方法

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 水平方向に1次元に配列された所定数の画素からなる複数のセンサ列と、
 前記複数のセンサ列に対応して設けられて信号電荷を水平方向に転送する複数の水平転送レジスタと、
 前記複数のセンサ列の各画素に蓄積された信号電荷を前記複数の水平転送レジスタにそれぞれ転送する複数のシフトゲートと、
 前記複数のセンサ列に対し前記複数の水平転送レジスタと反対側に設けられた複数のドレイン用拡散領域と、
 前記複数のセンサ列の各画素に蓄積された不要電荷を前記複数のドレイン用拡散領域にそれぞれ掃き捨てる複数の転送ゲートとからなる複数ラインの構造を同一基板上に有するとともに、
 前記シフトゲート及び前記転送ゲートの各駆動タイミングを複数ライン間で独立に設定可能な駆動回路を備えたことを特徴とするリニアセンサ。

【請求項2】 水平方向に1次元に配列された所定数の

画素からなる複数のセンサ列と、前記複数のセンサ列に対応して設けられて信号電荷を水平方向に転送する複数の水平転送レジスタと、前記複数のセンサ列の各画素に蓄積された信号電荷を前記複数の水平転送レジスタにそれぞれ転送する複数のシフトゲートと、前記複数のセンサ列に対し前記複数の水平転送レジスタと反対側に設けられた複数のドレイン用拡散領域と、前記複数のセンサ列の各画素に蓄積された不要電荷を前記複数のドレイン用拡散領域にそれぞれ掃き捨てる複数の転送ゲートとからなる複数ラインの構造のリニアセンサにおいて、前記シフトゲート及び前記転送ゲートの各駆動タイミングを複数ライン間で独立に設定して駆動することを特徴とするリニアセンサ。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0001

【補正方法】変更

【補正内容】

【0001】

【産業上の利用分野】本発明はリニアセンサ及びその駆動方法に関し、特に、いわゆる横型シャッター機能を有するリニアセンサ及びその駆動方法に関する。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0006

【補正方法】変更

【補正内容】

【0006】本発明は、上述した点に鑑みてなされたものであり、出力信号を連続的に読みだそうとするとき、各ライン間の無効信号期間を最小にできるとともに、最

短蓄積時間もセンサ部からの信号電荷の読出し時間と同程度まで小さくできるリニアセンサ及びその駆動方法を提供することを目的とする。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正内容】

【0007】

【課題を解決するための手段】上記目的を達成するために、本発明では、水平方向に1次元に配列された所定数の画素からなる複数のセンサ列と、この複数のセンサ列

に対応して設けられて信号電荷を水平方向に転送する複数の水平転送レジスタと、複数のセンサ列の各画素に蓄積された信号電荷を複数の水平転送レジスタにそれぞれ転送する複数のシフトゲートと、複数のセンサ列に対し複数の水平転送レジスタと反対側に設けられた複数のドレイン用拡散領域と、複数のセンサ列の各画素に蓄積された不要電荷を複数のドレイン用拡散領域にそれぞれ掃き捨てる複数の転送ゲートとからなる複数ラインの構造を同一基板上に有するとともに、シフトゲート及び転送ゲートの各駆動タイミングを複数ライン間で独立に設定して駆動するようにしている。